

CLIPPEDIMAGE= JP402143531A  
PAT-NO: JP402143531A  
DOCUMENT-IDENTIFIER: JP 02143531 A  
TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: June 1, 1990

INVENTOR-INFORMATION:

NAME  
UCHIDA, KEN  
ITAGAKI, TATSUO  
SATO, TSUNEO  
ICHIHARA, SEIICHI  
NAGASAWA, KOICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A
HITACHI MICRO COMPUT ENG LTD	N/A

APPL-NO: JP63298599

APPL-DATE: November 25, 1988

INT-CL\_(IPC): H01L021/321; H01L021/3205

US-CL-CURRENT: 29/827,257/632 ,257/635

ABSTRACT:

PURPOSE: To augment the bonding strength of a metallic wiring onto an interlayer insulating film as well as the counter strength of an outer connecting electrode against external force thereby enhancing the reliability of an electrode by a method wherein the bonding strength between the metallic wiring and the underneath interlayer insulating film is augmented by eliminating a barrier layer from an electrode leading out part.

CONSTITUTION: A metallic wiring 8 is provided on a PSG 7 while one end of the metallic wiring 8 is connected to a diffused layer 3 via a through hole 7a formed in the PSG film 7 and a CVD film 6. On the other hand, a rectangular electrode leading-out part 9a is formed on the other end of the wiring 8. A final passivation film 9 is formed on the metallic wiring 8 while

the electrode leading-out part 8a is externally exposed from another through hole 8a made in the passivation film 9. In such a constitution, the metallic wiring 8 is composed of an Al-Si alloy while a barrier layer 12 is partially laid down underneath the metallic wiring 8. That is, the barrier layer 12 is provided on the contact part of the said N<SP>+</SP> diffused layer 3 and the peripheral part thereof but not provided underneath the electrode leading-out part 8a.

COPYRIGHT: (C)1990,JPO&Japio

## ⑫ 公開特許公報 (A)

平2-143531

⑬ Int. Cl. 5

H 01 L 21/321

識別記号

府内整理番号

⑭ 公開 平成2年(1990)6月1日

6824-5F H 01 L 21/92  
6824-5F 21/88T  
R※

審査請求 未請求 請求項の数 3 (全5頁)

## ⑮ 発明の名称 半導体装置

⑯ 特 願 昭63-298599

⑰ 出 願 昭63(1988)11月25日

⑱ 発明者 内田 憲 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑲ 発明者 板垣 達夫 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内

⑳ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 出願人 日立マイクロコンピュータエンジニアリング 東京都小平市上水本町5丁目22番1号

㉒ 代理人 弁理士 大日方 富雄

最終頁に続く

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

1. アルミニウム層とバリア層とで構成された金属配線層を有する半導体装置において、電極引出し部にはバリア層が設けられていないことを特徴とする半導体装置。

2. 上記バリア層は高融点金属シリサイドからなることを特徴とする請求項1記載の半導体装置。

3. 上記バリア層は高融点金属からなることを特徴とする請求項1記載の半導体装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、半導体装置の配線構造に関するもので、さらに詳しくは、下側にバリア層が形成されかつ外部接続用の電極引出し部が形成される金属配線の構造に関するものである。

## 〔従来の技術〕

半導体集積回路の微細化に伴ってPN接合の深

さが浅くなってきた。そして、それに従って、配線金属としてはAlの代わりにAl-Si合金が用いられるようになってきた。このAl-Si合金は、接合を破壊することなく浅いN型拡散層へのオーム接点を形成できるという利点を持っている。

ところが、このAl-Si合金は、そのコンタクト面積が小さくなると、固溶限度以上に含有されているSiが、AlがドープされたP型Siとしてコンタクト部に優先的に析出し、コンタクト抵抗を実効的に増大させてしまうという欠点があった。この間の事情を具体的に説明すれば下記のとおりである。

例えば、 $2\mu m$ ルールの半導体集積回路にあっては、拡散層およびゲート電極と金属配線との導通をとるための絶縁膜のコンタクトホールのつまりコンタクト面積が比較的大きい。したがって、上記コンタクトホールを通して拡散層へ接続される金属配線のコンタクト部にシリコン析出が生じた場合であっても、そのコンタクト部全体にシリ

コン析出が進行しないためコンタクト抵抗はさほど高くはない。もっとも、 $2 \mu\text{m}$ ルールの半導体集積回路にあっても、金属配線が接続される拡散層がN'拡散層でありしかもそれがリン拡散によって形成されたものでは、シリコン析出によってコンタクト抵抗が増大し、導通不良が発生し易いことが確認されている。これはリン拡散によってN'拡散層を形成する場合には、その他の場合（例えば、磁場のイオン打込みによってN'拡散層を形成する場合）に比べて半導体基板の表面に結晶欠陥が生じにくく、したがって、シリコンの単結晶成長化が進み易いことによる。

一方、 $1 \sim 3 \mu\text{m}$ ルールの半導体集積回路にあっては、絶縁膜に形成されるコンタクトホールの径つまりコンタクト面積が小さいため、金属配線のコンタクト部全体にシリコン析出が進行し易く、そのためコンタクト抵抗の増大が顕著となり、導通不良が生じることが多々あった。今後、半導体集積回路の微細化が進むにつれ、その傾向が顕著となる。

ところが、下側にバリア層を介在した金属配線が最終金属配線である場合、つまり外部接続用の電極引出し部が形成される金属配線である場合にあっては、電極の剪断強度および引張り強度の低下が引き起こされた。例えば、電極としてバンプを形成するものでは、バンプ強度試験の際にバンプ剥離が生じ易かった。かかる問題は、電極引出し部をそのままボンディングパッドとして利用する場合にも生じる。

本発明者は、かかる問題を解明するため、種々の実験を行なったところ下記のことが分かった。

即ち、最終金属配線の下側に（殊に外部接続用の電極引出し部下側に）バリア層が設けられているものでは、下側にバリア層が存在しない金属配線に比べて、その下側の層間絶縁膜との接着強度が弱い。したがって、バンプを通じて配線に引張り力または剪断力が作用すると、バリア層が絶縁膜に対して容易に剥離されてしまう。このような問題は、バリア層がM<sub>0</sub>シリサイド以外の高融点金属シリサイドで構成されている場合、さらには

そこで、従来、上記のようなシリコン析出による導通不良を防止するため、拡散層に接続される金属配線の下側にM<sub>0</sub>等の金属のシリサイド層からなるバリア層を介在することが行われてきた。つまり、このバリア層の介在によって、AlとSiとの合金化反応が抑制され、拡散層へのオームシクコンタクト形成が実現できることになる。このような技術については、例えば、昭和61年1月15日に株式会社培風館から発行された「超高速MOSデバイス」第95頁～第96頁に記載されている。

ところで、従来、上記のように金属配線の下側にバリア層を形成するにあたっては、金属配線下側の層間絶縁膜へのスルーホール形成後、このスルーホール内および層間絶縁膜上全面にスパッタリングによってM<sub>0</sub>シリサイドを形成し、その後、このM<sub>0</sub>シリサイド上全面に同じくスパッタリングによってAl(Si含有)を形成し、AlおよびM<sub>0</sub>シリサイドのパターンニングを行っていた。

#### 【発明が解決しようとする課題】

高融点金属で構成されている場合にも生じる。

本発明は、かかる点に鑑みなされたもので、電極の外力に対する強度を向上させることができ半導体装置を提供することを目的としている。

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

#### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

即ち、下側にバリア層が形成されかつ外部接続用の電極引出し部が形成される金属配線において、上記電極引出し部の下側部分にはバリア層を設けないようにしたのである。

#### 【作用】

上記した手段によれば、電極引出し部の下側部分にバリア層を設けないので、該部では金属配線とその下側の層間絶縁膜とは直接に接触する。したがって、金属配線とその下側に位置する層間絶縁膜との接着強度が増大する。その結果、外部接

続用の電極に外力が作用した場合であっても金属配線が層間絶縁膜から剥がれづらくなり、外部接続用の電極の外力に対する強度が増し、電極の信頼性が向上することとなる。

#### 【実施例】

以下、本発明に係る半導体装置の実施例を図面に基づいて説明する。

第1図には実施例の半導体装置の断面構造が示されている。また、第2図にはその平面レイアウトが示されている。

第1図において符号1は例えばP型半導体基板を表わしており、この半導体基板1にはフィールド絶縁膜2によって他の回路素子と絶縁分離されるようにして例えばNチャネルMOSFETが構成されている。つまり、半導体基板1のフィールド酸化膜2によって区画される領域にはソース／ドレインを構成するN'拡散層3が形成され、さらにソース／ドレイン間のチャネルとなる領域上側にはゲート酸化膜4を介してゲート電極5が形成されている。また、ゲート電極5の上にはCV

D酸化膜6が形成され、さらに、このCVD酸化膜6の上には該CVD酸化膜6と共に層間絶縁膜を構成するPSG膜7が形成されている。さらにまた、上記PSG膜7の上には金属配線8が設けられている。この金属配線8の一端は、上記PSG膜7およびCVD膜6に形成したスルーホール7aを通して上記拡散層3に接続されており、一方、その他端には、第2図にも示すように、矩形の電極引出し部（バンプ付設部もしくはボンディングパッド）8aが形成されている。また、この金属配線8の上には最終パッケージーション膜9が形成されており、この最終パッケージーション膜9に設けたスルーホール9aからは上記電極引出し部8aが外部に露出されるようになっている。

ここで、上記金属配線8はAl-Si合金によって構成されている。そして、この金属配線8の下側には部分的にバリア層12が設設されている。つまり、バリア層12は上記N'拡散層3とのコンタクト部およびその周辺部には設けられているが、上記電極引出し部8aの下側には設けられて

はない。なお、バリア層12は例えばMo, Ta, Ti, Wなどの高融点金属またはそのシリサイド層またはTiW, TiNなどの金属から構成されている。

次に、上記半導体装置の製造方法を説明する。

フィールド酸化膜2が形成された半導体基板1の上にゲート酸化膜4を形成した後ゲート電極5を形成する。このゲート電極5は例えばポリシリコン、高融点金属のシリサイドによって構成されている。なお、シリサイドを用いる場合には一般的にシリサイドとポリシリコンとの積層構造とされる。その後、ソース／ドレインのN'拡散層3を形成し、CVD酸化膜6およびPSG膜7の形成を行った後、N'拡散層3へのコンタクトのためのスルーホール7aを形成する。ここまで終了した状態が第3図(A)に示されている。

次いで、スパッタもしくは蒸着等により上記PSG膜7上全面に例えばMoシリサイドからなるバリア層12を形成する(第3図(B)参照)。その後、ホトリソグラフィおよびエッチングによ

って電極引出し部8aに対応する領域のバリア層12をエッチングする(第3図(C)参照)。このときのエッチングとしては例えばF系またはCl系のガスを用いたプラズマエッチングが行われる。続いて、バリア層12上全面にスパッタもしくは蒸着によってAl(Siを含有)からなる金属配線8を形成し(第3図(D)参照)、その後、ホトリソグラフィおよびエッチングによって金属配線8およびバリア層12のパターンニングを行う(第3図(E)参照)。このときのエッチングとしては、例えばCl系ガスを用いたプラズマエッチングが行われる。

その後、金属配線8上全面に最終パッケージーション膜9を形成し、このパッケージーション膜9の電極引出し部8aに対応する領域にスルーホール9aを形成する。そして、該部をそのままボンディングパッドとして利用するか、もしくは該部にバンプを形成する。なお、バンプを形成する場合には最終パッケージーション膜9を例えばPSGとポリイミド系の樹脂との2層構造とする。

上記のような構造を持つ半導体装置によれば下記のような効果を得ることができる。

即ち、上記半導体装置によれば、電極引出し部8aの下側にはバリア層12が設けられていないので、該部では金属配線8とPSG膜7とが直接接触する。その結果、両者の接着強度が向上するという作用によって、電極の外力に対する強度が向上することとなる。

また一方、例えばN'拡散層3とのコンタクト部分では2層化配線となっているため、シリコン折出などの心配もない。

故に、歩留り・信頼性の高い半導体装置の実現が可能となる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

上記においては、一端がN'拡散層3に接続されるものについて説明してきたが、勿論P'拡散

層3に接続されるものでも良く、さらには、多層配線構造の最上層金属配線またはゲート電極をそのまま配線として用いるものにも適用できることは勿論である。

#### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

即ち、下側にバリア層が形成されかつ外部接続用の電極引出し部が形成される金属配線において、上記電極引出し部下側にはバリア層を設けないようにしたので、該部では金属配線とその下側の層間絶縁膜との接着強度が増大する。その結果、外部接続用電極に外力が作用した場合であっても金属配線が層間絶縁膜から剥がれづらくなり、外部接続用電極の外力に対する強度が増し、電極の信頼性が向上することとなる。

#### 4. 図面の簡単な説明

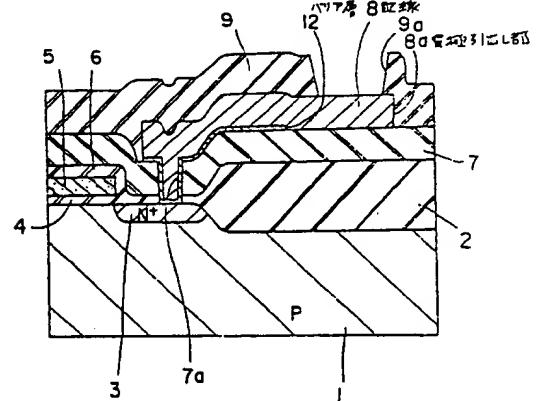
第1図は本発明に係る半導体装置の実施例の縦断面図。

第2図は第1図の半導体装置の平面図。

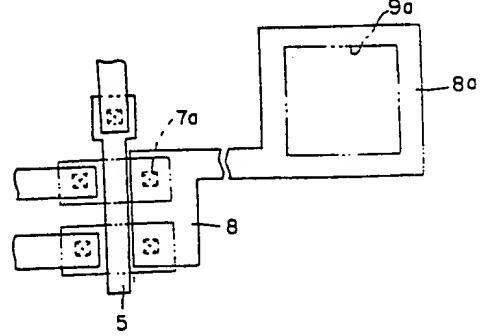
第3図(A)～(E)は第1図の半導体装置の製造工程を示す縦断面図である。

8…A1配線、12…バリア層。

第1図

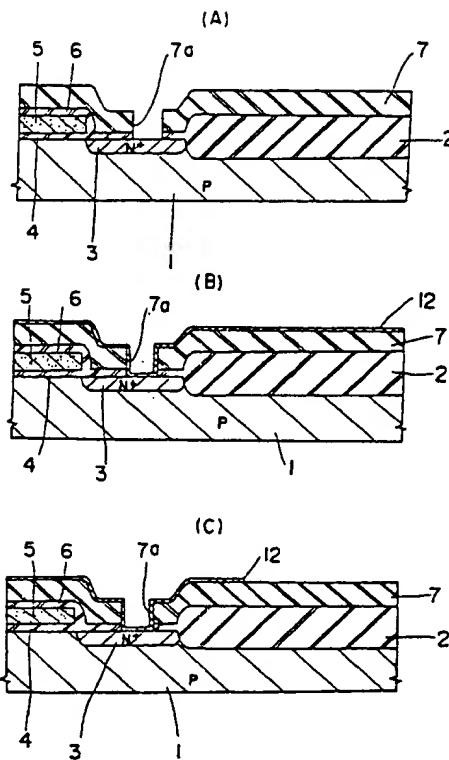


第2図

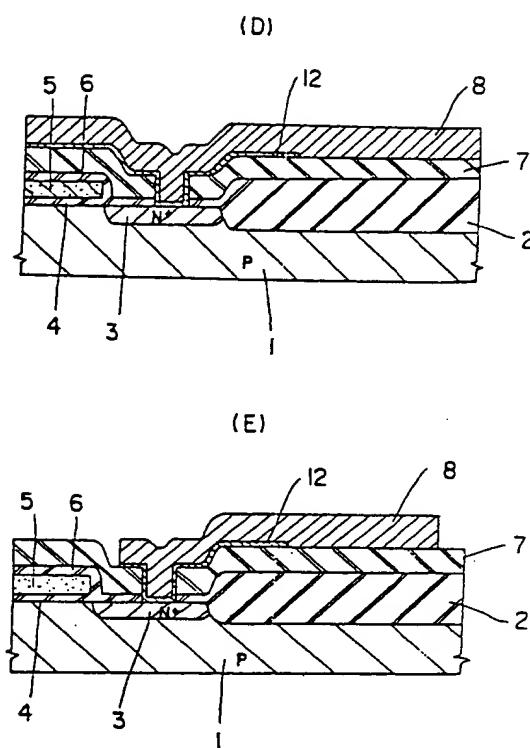


代理人弁理士 大日方富雄

第3図



第3図



第1頁の続き

⑤Int. Cl.<sup>5</sup>

識別記号

府内整理番号

H 01 L 21/3205

- ②発明者 佐藤 恒夫 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内
- ②発明者 市原 誠一 東京都小平市上水本町5丁目22番1号 日立マイクロコンピュータエンジニアリング株式会社内
- ②発明者 長沢 幸一 東京都小平市上水本町5丁目20番1号 株式会社日立製作所武蔵工場内